

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

⑫ 公開特許公報(A) 平4-12573

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)1月17日

H 01 L 29/788
27/115
29/7927514-4M H 01 L 29/78 3 7 1
8831-4M 27/10 4 3 4

審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 不揮発性半導体記憶装置およびその製造方法

⑯ 特 願 平2-116240

⑰ 出 願 平2(1990)5月2日

⑱ 発 明 者 平 野 幹 二 大阪府門真市大字門真1006番地 松下電子工業株式会社内

⑲ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地

⑳ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1. 発明の名称

不揮発性半導体記憶装置およびその製造方法

2. 特許請求の範囲

- (1) 一導電型の半導体基板と、前記半導体基板の内部で前記半導体基板の一主面に接して互いに一定の間隔をへだてて設けられ、前記一導電型と反対の導電型のソース領域およびドレン領域と、前記ソース領域および前記ドレン領域の間で、前記半導体基板の表面に設けられるゲート絶縁膜と、前記ゲート絶縁膜上に設けられる多結晶シリコンのゲートとを有し、前記ゲート絶縁膜は前記半導体基板表面側より順に酸化膜、窒化シリコン膜および酸化膜よりなる三層で構成され、前記窒化シリコン膜が前記ソースおよび前記ドレン領域の表面よりも前記半導体基板内部側に位置することを特徴とする不揮発性半導体記憶装置。
- (2) 半導体基板表面にウエル領域を形成する工程、前記ウエル領域の中に溝部を選択エッチン

グにより形成する工程、前記溝部内に第1の酸化膜、窒化シリコン膜および第2の酸化膜を順次形成する工程、前記第2の酸化膜の上に多結晶シリコン膜のゲートを形成する工程、および前記ゲートの両側で前記ウエルの中に前記ウエルの導電型と反対導電型のソース領域およびドレン領域を形成する工程とを備えた不揮発性半導体記憶装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は半導体装置、特に電氣的書き込み消去可能な不揮発性半導体記憶素子を有する半導体装置とその製造方法に関する。

従来の技術

近年半導体メモリの需要が急増しているが、中でも電氣的書き込み消去が可能で電源を切っても記憶内容が保持される不揮発性半導体記憶装置は、様々な産業分野での利用が見込まれている。特にM₁NOS(金属-窒化シリコン膜-酸化シリコン膜-半導体)型不揮発性半導体記憶装置は線

り返し書き込み消去回数に優れており、頻繁に記憶内容をき変える必要のある用途での利用が見込まれている。

以下に従来のMNOS型不揮発性半導体記憶装置の構造およびその製造方法について、第2図を用いて述べる。

第2図(a)に示すように、N型半導体基板1上に互いに独立した二個のPウェル領域2、3を形成する。さらに素子分離用に選択酸化膜4からなる素子分離領域を設ける。次に第2図(b)に示すように、例えば900℃パイロジェニック雰囲気中で約30分酸化し、約600Åの第1ゲート酸化膜15を形成する。続いて例えば600℃の温度下でシランガスを熱分解させることにより約4000Åの多結晶シリコン膜16を形成する。リン添加(ドーブ)の後、フォトレジスト17を用いて通常のリソグラフィ技術とエッチング技術により、周辺トランジスタのゲート部のみPウェル領域3上に形成する。その後、フォトレジスト17を除去する。次に第2図(c)に示すように、たとえ

ゲート部を形成する領域がエッチオフされるまで酸化膜エッチを行ない、基板領域22を形成する。次に第2図(e)に示すように、たとえば600℃、ドライ酸素雰囲気中で約4時間酸化し、20Å~25Åの極薄酸化膜23を形成する。続いて、たとえば300mTorrの減圧下、約750℃で二塩化シランガスとアンモニアガスとを1:30の比率で反応させ、約300Åの窒化シリコン膜24を成長する。次にたとえば900℃、パイロジェニック雰囲気中で約30分酸化し、基板1上で約600Å、窒化シリコン膜24上で約20Åのトップ酸化膜25を形成する。続いて、たとえば600℃、シランガスの熱分解により約4000Åの多結晶シリコン膜26を形成する。リンドーブの後、フォトレジスト27を用いて通常のリソグラフィ技術とエッチング技術により、MNOSトランジスタとそれに隣接するMOSTランジスタのゲート部のみPウェル領域2上に形成する。その後、フォトレジスト27を除去する。次に第2図(f)に示すように、ゲート部をマスクとしたセ

は900℃、パイロジェニック雰囲気中で約10分酸化し、周辺トランジスタのゲート部の多結晶シリコン膜の周囲を酸化すると同時に、MNOS型トランジスタを形成するPウェル領域2上の基板1を酸化し、約350Åの保護酸化膜18を形成する。続いてたとえば300mTorrの減圧下、約750℃で二塩化シランガス、アンモニアガスの反応により約1000Åの窒化シリコン膜を成長させる。その後、フォトレジスト20を用いて通常のリソグラフィ技術とエッチング技術により、MNOSトランジスタのゲート部を形成する領域19以外の窒化シリコン膜を除去する。その後、フォトレジスト20を除去する。次に第2図(d)に示すように、たとえば900℃、パイロジェニック雰囲気中で約20分酸化し、保護酸化膜18を含め約1000Åの、MNOSトランジスタに隣接する厚膜エンハンスメント型トランジスタの第2ゲート酸化膜21を形成する。その後、窒化シリコン膜19をリン酸を用いて除去し、さらにバッファードフッ酸を用いてMNOS

ルファライン法を利用してたとえば加速電圧40keV、注入量 $5 \times 10^{15} \text{ cm}^{-2}$ のヒ素イオン注入によりMNOSトランジスタおよび周辺トランジスタのソース領域およびドレイン領域28を形成して、トランジスタ構造を完成する。なお製品として完成するには、さらに層間絶縁膜、接続用窓(コンタクト)窓、配線、表面保護膜を形成する。

発明が解決しようとする課題

従来の構造と製造方法とは以下に示すような欠点がある。

第1に、従来の構成ではMNOSトランジスタとそれに隣接するエンハンスメント型トランジスタが基板上に並列に形成されるため、全体としてのトランジスタ長が長くなり微細化を困難にしている。

第2に、エンハンスメント型トランジスタはそのゲート絶縁膜中に窒化シリコン膜を含む構造になるため、繰り返し書き込み消去の際に電荷捕獲(キャリアトラップ)が行なわれる可能性を有

し、したがって、エンハンスメント型トランジスタのしきい値電圧が変化するというおそれがある。

第三に、MNOSトランジスタやそれに隣接するエンハンスメント型トランジスタは周辺回路を形成する周辺トランジスタと同時に形成されないため、マスク工程数やエッチング工程数が増すことになる。したがって、工程管理が複雑となり、歩留り低下要因が増え、かつコストアップにつながる。

第四に、第3図(b)に示すように、従来のMNOSトランジスタのトランジスタ幅方向(第2図の断面図と90度回転した方向)において、その両端ではMNOSトランジスタのゲート絶縁膜中の窒化シリコン膜24が周辺選択酸化膜4上に乗り上げる構造となり、選択酸化膜41の端部の尖った部分、いわゆるバードピーク(bird beak)部の形状異常に伴うメモリ特性上で以下に述べるサイドウォーク(side walk)現象が発生する可能性が高くなる。

課題を解決するための手段

従来の欠点を解決するために、本発明の構造および製造方法は以下のとおりである。

第一に、MNOSトランジスタのゲート部を基板表面に設けた溝部に形成する。

第二に、前記溝部に設けたMNOSトランジスタのゲート部に隣接する基板上に、ゲート絶縁膜中に窒化シリコン膜を含まないMOSトランジスタのゲート部を形成する。

第三に、周辺回路を形成するMOSトランジスタのゲート部を、MNOSトランジスタのゲート部に隣接して形成する前記MOSトランジスタのゲート部と同時に形成する。

第四に、前記溝部に設けたMNOSトランジスタのゲート部が周辺の選択酸化膜と接する境界領域において、MNOSトランジスタのゲート絶縁膜が周辺の選択酸化膜上に乗り上げない構造とする。

作用

上記の構成および製造方法によって、以下に述

サイドウォーク現象とは、第3図(b)に示す選択酸化膜4のバードピーク部が、エッチング不足等による部分的厚膜化等の形状異常を起こし、バードピーク下に存在するチャンネルストッパー(P型高濃度不純物領域)29の作用と相まって、この領域のトランジスタ特性がチャンネルコンダクタンスの低いエンハンスメント型トランジスタ特性を示すようになる現象を意味する。サイドウォーク現象が発生すると、MNOSトランジスタにおいて書き込み時に本来現われるべき第4図(a)の $V_G - \sqrt{I_D}$ 特性31が、第4図(b)に示すような、書き込み時にしきい値電圧の変化しない、チャンネルコンダクタンスの低いエンハンスメント型トランジスタ特性32が一部混じった $V_G - \sqrt{I_D}$ 特性になってしまう。この付加されたエンハンスメント型トランジスタ特性32のために書き込み後の読み出し検出電流が低く設定してある場合、書き込み不十分で不良品と判定され、歩留りを極端に低下させる。なお、30は消去状態の $V_G - \sqrt{I_D}$ 特性である。

べる作用が得られる。

第一に、MNOSトランジスタのゲート部を溝部に形成すると、ゲート長が溝部の底面と両側面とにまたがるため、平面上の寸法(溝部の幅)を小さくしても従来レベルのチャンネル長を維持でき、微細化が促進される。

第二に、MNOSトランジスタのゲート部に隣接する基板上にはゲート絶縁膜中に窒化シリコン膜を含まないMOSトランジスタが形成されるため、繰り返し書き込み消去による窒化シリコン膜への電荷捕獲が発生せず、したがってこのMOSトランジスタ部分でのしきい値電圧の変動が防止される。

第三に、MNOSトランジスタに隣接する前記MOSトランジスタは、周辺回路を形成するMOSトランジスタと同時に形成することが可能であるため、従来製法に比べマスク工程回数やエッチング工程回数を減らすことができ、工程の簡素化が図れ、コストダウンが可能となる。

第四に、MNOSトランジスタのゲート絶縁膜

が周辺の選択酸化膜上に乗り上げずバードピーク部との重なりが存在しないため、サイドウォーク現象の発生が防止される。

実施例

以下、本発明の一実施例について図面を参照しながら説明する。

第1図(a)に示すように、N型半導体基板1上に互いに独立した二つのPウェル領域2、3を形成する。さらに選択酸化膜4を用いて素子分離領域を設ける。次に第1図(b)に示すように、フォトリソグロフィー技術により、MNOSトランジスタ形成部分を開口する。たとえば開口幅は $0.5\mu\text{m}$ である。引き続き、たとえば出力500W、圧力100mTorr下で四塩化シランガスおよび塩素ガスを用いた異方性ドライエッチングにより、開口部下の基板を深さ $0.3\mu\text{m}\sim 0.4\mu\text{m}$ 程度掘り、溝部6を形成する。その後フォトリソグロフィー技術により、溝部6を除く表面領域のトップ酸化膜9、窒化シリコン膜8、極薄酸化膜7をエッチバックにより除去する。次に、第1図(c)に示すように、従来法と全く同様の成長条件および操作手順を用いて、基板表面全領域に

わたり、 $20\sim 25\text{\AA}$ の極薄酸化膜7、約300Åの窒化シリコン膜8、およびこの窒化シリコン膜8上で約20Åのトップ酸化膜9を成長させる。さらに、エッチバック用のフォトリソグロフィー技術により、溝部6を除く表面領域のトップ酸化膜9、窒化シリコン膜8、極薄酸化膜7をエッチバックにより除去する。次に第1図(d)に示すように、プラズマエッチング法を用い、フォトリソグロフィー技術により、溝部6を除く表面領域のトップ酸化膜9、窒化シリコン膜8、極薄酸化膜7をエッチバックにより除去する。次に第1図(e)に示すように、たとえば900℃、バイロジェニックの雰囲気中で約30分酸化し、MNOSトランジスタのゲート部に隣接する基板1上にMOSTランジスタの約600Åのゲート酸化膜11を、MNOSトランジスタのゲート絶縁膜中の窒化シリコン膜8上に約20Åのトップ酸化膜9をそれぞれ成長させる。このとき、周辺回路のMOSTランジスタのゲート酸化膜11も

同時成長する。引き続き、たとえば600℃でシランガスを熱分解させて約4000Åの多結晶シリコン膜12を成長させる。リンドープの後、フォトリソグロフィー技術とエッチング技術により、MNOSトランジスタとそれに隣接するMOSTランジスタ、さらに周辺回路のMOSTランジスタ全てを同時にパターニングする。その後、フォトリソグロフィー技術により、溝部6を除く表面領域のトップ酸化膜9、窒化シリコン膜8、極薄酸化膜7をエッチバックにより除去する。次に第1図(f)に示すように、従来法と全く同様の、セルフアライン法を用いてヒ素イオン注入によりすべてのトランジスタのソース領域およびドレイン領域14を形成してトランジスタ構造を完成する。なお、その後は従来法と全く同様の工程を経て製品として完成する。

本実施例の説明において、周辺回路のPチャネル型MOSTランジスタの製造方法について特に触れなかったが、ゲート部は上記Nチャネル型MOSTランジスタおよびMNOSトランジスタと同時に形成すればよい。ゲート電極として多結晶シリコン膜を用いたが、アルミニウム電極や、さらには

タングステンシリサイドをはじめとする高融点電極を用いてもさしつかえない。

次に本発明の製造方法によって形成されたMNOSトランジスタおよび従来法によって形成されたMNOSトランジスタのトランジスタ幅方向の断面図をそれぞれ第3図(a)、(b)に示す(第1図および第2図の断面図を90度方向を回転した図を示す)。従来法では第3図(b)に示すように、ゲート絶縁膜中の窒化シリコン膜24が周辺の選択酸化膜4上に乗り上げ、バードピークとその下のチャネルストッパー領域29を覆うように存在するため、前記サイドウォーク現象が発生しやすい構造になっている。一方、本発明の構成では、第3図(a)に示すように、ゲート絶縁膜が周辺の選択酸化膜4との境界領域において全て溝部内に存在するために周辺選択酸化膜4上への乗り上げがなく、バードピーク下のチャネルストッパー領域29との作用も発生せず、サイドウォーク現象を防止できる構造となる。

発明の効果

以上のように、本発明はMNOS型不揮発性半導体記憶装置に関し、

第一に、MNOSTランジスタのゲート部を溝部に形成することで平面上のゲート長を短くすることができ、微細化が促進される。

第二に、MNOSTランジスタに隣接して形成されるMOSTランジスタのゲート絶縁膜中に窒化シリコン膜を含まないため、この部分のしきい値電圧の変動を防止できる。

第三に、MNOSTランジスタに隣接するMOSTランジスタは周辺回路のMOSTランジスタと同時に形成でき、マスク工程やエッチング工程の回路を減らすことができるため、工程の簡素化、コストダウンを達成できる。

第四に、MNOSTランジスタのゲート絶縁膜が周辺の選択酸化膜上に乗り上げず、バードビーク部との重なりが存在しないため、サイドウォーク現象の発生を防止できる。

以上のような優れた特性を有する不揮発性半導体記憶装置を実現できるものである。

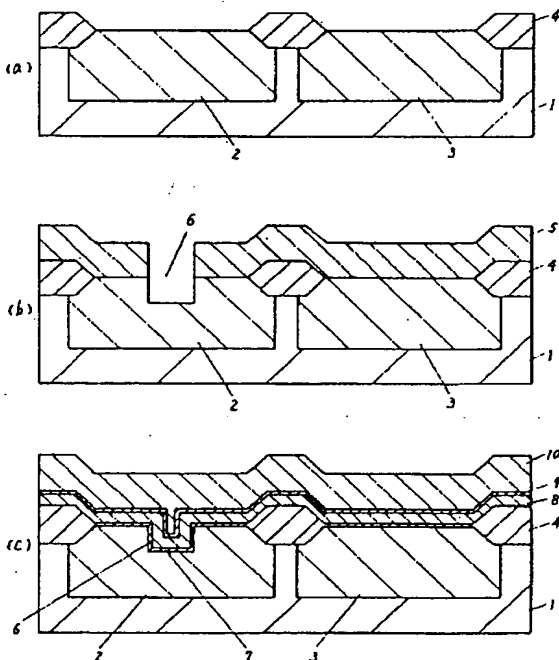
4. 図面の簡単な説明

第1図(a)~(f)は本発明の一実施例におけるMNOS型不揮発性半導体記憶装置の製造方法の工程断面図、第2図(a)~(f)は従来法の工程断面図、第3図(a)、(b)はそれぞれ本発明の製造方法および従来法によるMNOS型不揮発性半導体記憶装置のトランジスタ幅方向の断面図、第4図(a)、(b)はそれぞれMNOSTランジスタの書き込み消去状態における正常な $V_G - \sqrt{I_D}$ 特性、サイドウォーク現象発生時の $V_G - \sqrt{I_D}$ 特性を示すメモリ特性図である。

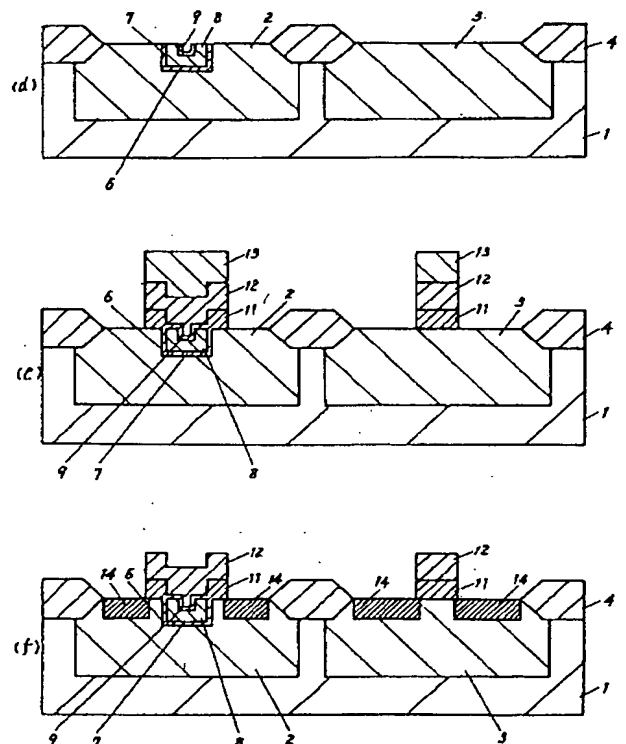
1……N型半導体基板、2……Pウエル領域(MNOSTランジスタ形成)、3……Pウエル領域(周辺MOSTランジスタ形成)、4……選択酸化膜(素子分離領域)、5……フォトレジスト、6……溝部、7……極薄酸化膜、8……窒化シリコン膜、9……トップ酸化膜、10……フォトレジスト、11……ゲート酸化膜、12……多結晶シリコン膜、13……フォトレジスト、14……ソース領域およびドレイン領域、29……チャネルストップ領域(P型高濃度不純物領域)。

第1図

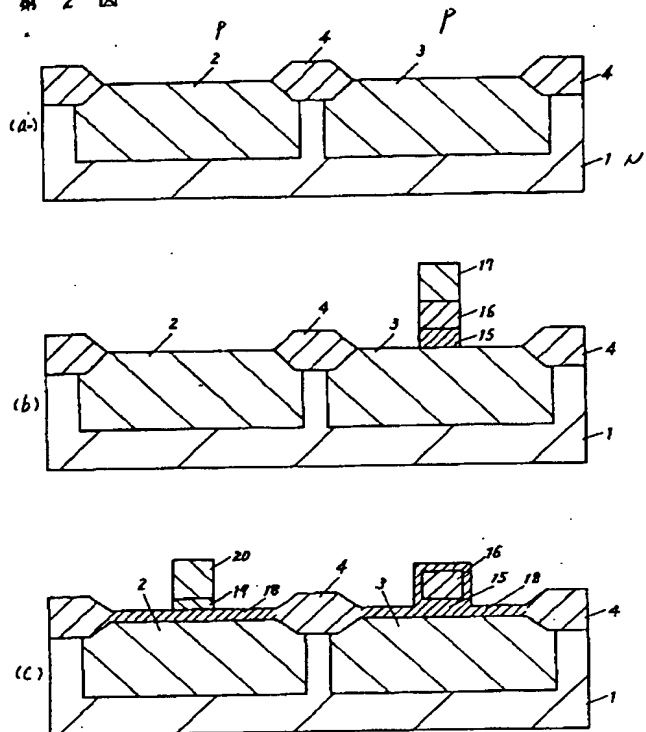
- | | |
|------------------|---------------|
| 1……半導体基板 | 7……極薄酸化膜 |
| 2,3……Pウエル領域 | 8……窒化シリコン膜 |
| 4……選択酸化膜 | 9……トップ酸化膜 |
| 5,10,13……フォトレジスト | 11……ゲート酸化膜 |
| 6……溝部 | 12……多結晶シリコン膜 |
| | 14……ソースドレイン領域 |



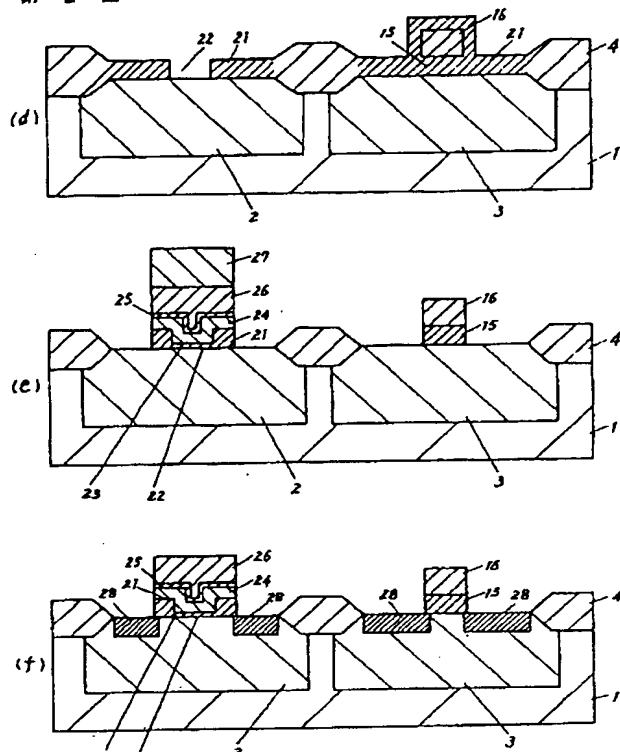
第1図



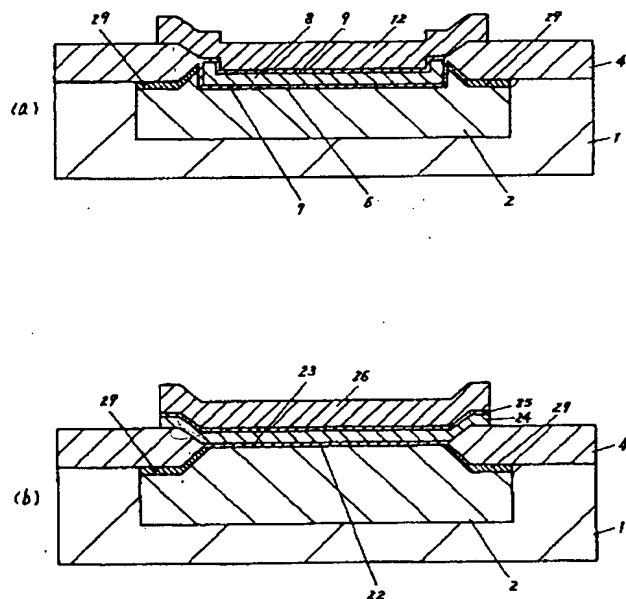
第 2 図



第 2 図



第 3 図



第 4 図

